

**FIB**Facultat d'Informàtica
de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

CONCEPTES AVANÇATS DE SISTEMES OPERATIUS
Departament d'Arquitectura de Computadors

Hyper Threading

(Seminaris de CASO)

Autors

Elena Galván Fernández
Zeus Gómez Marmolejo

Entendre la tecnologia Hyper-Threading (1/2)

- Hyper-Threading és la tecnologia d'Intel que permet als processadors treballar més eficientment.
- Aquesta nova tecnologia permet executar dues series, o fils, d'instruccions al mateix temps, així millorant el rendiment i resposta del processador.
- La tecnologia HT millora la utilització dels recursos integrats de tal manera que un segon fil pot ser processat en el mateix processador. A més, proveeix dos processadors lògics en el mateix paquet del processador



hyperthread_defined.swf

Entendre la tecnologia Hyper-Threading (2/2)

- Ofereix:
 - Una millora en el rendiment global
 - Més suport d'usuari a la mateixa plataforma
 - Temps de resposta i reacció millorats
 - Degut a que diverses tasques poden ser executades en fils diferents
 - Nombre més elevat de transaccions executades
 - Compatibilitat amb software IA-32 existent



hyperthread_tech_benefits[1].swf

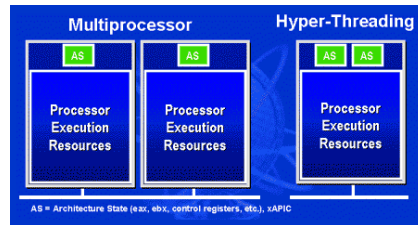
Què és? (1/2)

- **Hyperthreading** és el nom que Intel fa servir per anomenar la seva implementació de **Simultaneous Multi-Threading (SMT)** o Múltiples fils d'execució simultanis.
- Intel llança l'innovadora tecnologia **Hyper-Threading (HT)** pel processador Xeon i també l'ha incorporat pel nou processador Intel Pentium 4 de 3,06 GHz.



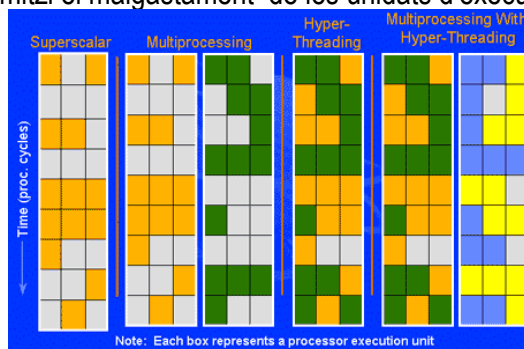
Què és? (2/2)

- La tecnologia Hyper-Threading permet que les aplicacions de software multi-threaded (multi procés) executin diferents subprocesos en paral·lel dins de cada processador, donant com resultat una major utilització dels recursos del processador.
- Com a resultat, una millora mitja d'un 40% en la utilització de recursos de la CPU, origina una capacitat de processat major.



Què aporta? (1/2)

- El **Simultaneous Multi-Threading (SMT)** intenta aprofitar al màxim els recursos del procesador. Per això, barreja instruccions de dos o més threads que entren en **out-of-order core** (secció d'execució), esperant que es minimitzi el malgastament de les unitats d'execució.



Què aporta? (2/2)

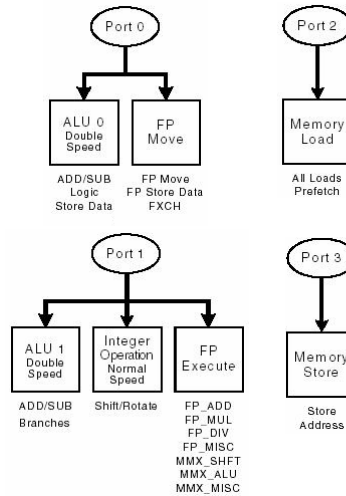
- La secció d'execució, s'encarrega d'executar les micro-operacions. Per a això disposa de varies **unitats d'execució** amb funcions especialitzades:
 - dos ALU o unitats lògica-aritmètica, per a operacions amb números enters o operacions lògiques (and, or, xor, etc).
 - Aquestes unitats funcionen al doble de la velocitat del processador:
 - per a un Pentium 4 de 2 GHz, aquestes ALU corren a 4 GHz (¡¡!!).
 - dos unitats de punt flotant. Una per a operacions de moviment de dades i l'altre per la resta d'operacions (suma, multiplicació, divisió, etc) així com las operacions SIMD (MMX, SSE1 i 2).
 - una unitat d'execució per a les operacions shift i rotate d'enters.
 - dos unitats per a les operacions amb memòria (llegir i guardar).

L'estat dels processadors lògics

- Les següents característiques són considerades part de l'estat de cada processador lògic amb la tecnologia Hyper-Threading.
- Es poden dividir en:
 - Duplicades per cada processador lògic
 - Registres de propòsit general: EAX, EBX, ECX, EDX, ESI, EDI, ESP i EBP
 - Registres de segment: CS, DS, SS, ES, FS, GS
 - Altres registres: EFLAGS, EIP, MMX, XMM, CRi, DRi, alguns MSR, ...
 - Compartides per cada processador lògic en un processador físic
 - MTRRs
 - Compartides o duplicades depenent la implementació
 - MCAS
 - MCRs
 - MSRs dedicats al control del rendiment

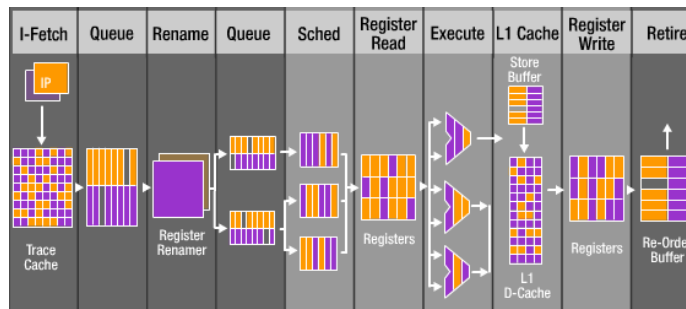
Unitats d'execució i Ports en el nucli OOO

- Port 0
 - En la primera meitat d'un cycle de rellotge pot enviar:
 - Micro Operació de punt flotant
 - Micro Operació d'aritmètic lògica
 - En aquest cas a la segona meitat pot enviar una altre operació AL o de SALT
- Port 1
 - En la primera meitat:
 - Micro Operació de punt flotant
 - Micro Operació de velocitat normal: multiplicació, desplaçaments i rotacions
 - Micro Operació aritmètic lògica o de salt
 - En aquest cas a la segona meitat pot enviar una altre operació AL o de SALT
- Port 2
 - Només permet un LOAD per cycle
- Port 3
 - Només permet un STORE per cycle



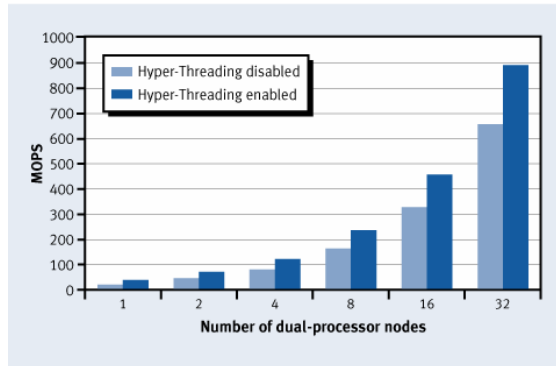
Segmentació de la Microarquitectura NetBurst

- Quan la tecnologia HT està activada, els recursos de cada fase de la microarquitectura Netburst estan
 - Replicats
 - Particionats
 - i/o compartits
 per a poder executar dos threads per la segmentació (pipeline).



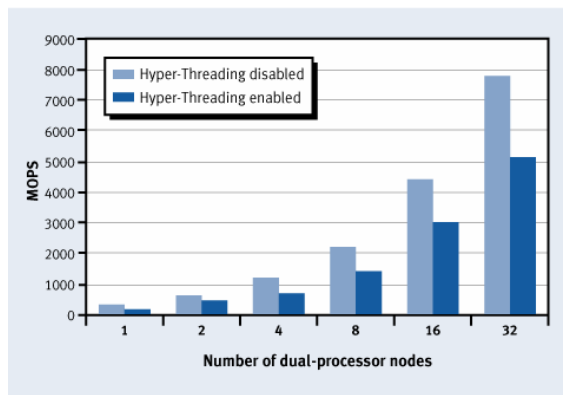
Comparativa (1/2)

- Resultat de la comparativa d'operacions en coma flotant multi node en processadors amb HT



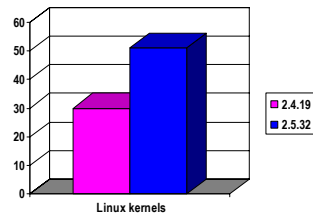
Comparativa (2/2)

- Resultats de la comparativa de càlculs de transformada de Fourier multi node (amb nombrosos passos de missatges)

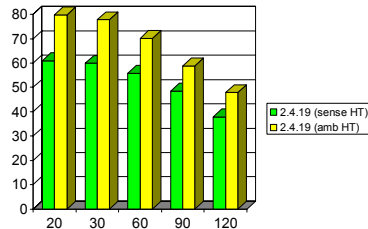


Un exemple: què passa amb Linux?

- El nucli actual de Linux, destinat a multi processadors (SMP) a les versions 2.4 i 2.5, ha estat conscient de la tecnologia HT en millores de rendiment observades a les següents comparatives:
 - Dintre del nucli de linux, un processador HT amb dos processadors lògics es tracta com si fos un parell de processadors físics. Com a resultat, el planificador que manipula SMP també ha de ser capaç de manipular Hyper-Threading.
 - El suport de HT en el linux kernel va començar en la versió 2.4.17 amb les següents millores:
 - Optimització del planificador con el sistema està en *idle* per prioritzar l'execució en un por físic enloc de un processador lògic.
 - No-execució basada en bucles d'espera
 - Optimització d'*spin locks*.



Servidor samba corrent en Linux



Bibliografia

- Hem trobat informació en diverses publicacions web:
 - http://www.intel.com/es/home/desktop/pentium4/hyperthreading.htm?iid=ipp_dlc_procp4p+prod_hyper&
 - http://www.dell.com/us/en/esg/topics/power_ps4q02-leng.htm
 - <http://spain.aopen.com.tw/tech/techinside/HyperThreading.htm>
 - <http://sobrepc.com/hardware/hyperthreading/hyperthreading1.html>

- IA-32 Intel Architecture Optimization
- IA-32 Intel Architecture Software Developer's Manual.
Volume 3: System Programming Guide